УДК 621.328-022.538(045) **DOI: 10.20998/2222-0631.2024.01(6).06**

О. С. МЕЛЬНИК, В. О. КОЗАРЕВИЧ

ОДНОЕЛЕКТРОННИЙ НАНОСУМАТОР З МАЖОРИТАРНИМ ВИБОРОМ

Одноелектронні прилади є перспективною технологією цифрової наноелектроніки, в якій біт інформації кодується наявністю або відсутністю електрона. В таких приладах переміщення електрона відбувається за рахунок процесів тунелювання або кулонівської блокади. Теоретична межа швидкодії одноелектронних приладів надзвичайно висока, оскільки тунелювання є безінерційним, а енергія переміщення електрона є надмалою. Як наслідок, теоретична межа швидкодії одноелектронних приладів складає сотні терагерц, а споживана енергія не перевищує одного аттоджоуля. Стаття присвячена впровадженню нового одноелектронного повного однорозрядного наносуматора на п'ятивходовому мажоритарному елементі для комп'ютерного моделювання і проектування високоефективних чотирирозрядних суматорів-віднімачів. В розроблених арифметично-логічних пристроях використана технологія квантових коміркових автоматів. Створений наносуматор використовує лише 231 квантову комірку на кристалі площею $0,49\,\text{мкм}^2$. Затримки виконання логічних операцій та щільність енергій перемикання самих комірок суттєво зменшені в порівнянні з існуючими прототипами. Система автоматизованого проектування QCADdesigner версії 2.0.3 синтезує наносхеми повних суматорів та моделює часові діаграми їх працездатності. Енергія синхросигналів та споживання не перевищує $3,8\times10^{-22}$ Дж. Результати моделювання одноелектронних наносуматорів підтвердили переваги над схемами інших розробників по усім експлуатаційним параметрам і характеристикам і стимулюють їх подальший розвиток для більшої розрядності і кількості мажоритарних функцій.

Ключові слова: коміркові автомати з квантовими точками, мажоритарна логіка, повний суматор, системи автоматизованого проектування, моделювання часових діаграм, енергія синхронізації.

O. S. MELNYK, V. O. KOZAREVYCH

SINGLE-ELECTRON NANOSUMMER WITH MAJORITY SELECTION

Single-electron devices are a promising technology of digital nanoelectronics, in which a bit of information is encoded by the presence or absence of an electron. In such devices, electron movement occurs due to tunneling or Coulomb blockade processes. The theoretical speed limit of single-electron devices is extremely high, since tunneling is inertialess, and the energy of electron movement is extremely small. As a result, the theoretical speed limit of single-electron devices is hundreds of terahertz, and the consumed energy does not exceed one attojoule. The article is devoted to the introduction of a new one-electron full one-bit nanoadder on a five-way majority element for computer modeling and design of highly efficient four-bit adder-subtractors. The developed arithmetic logic devices use the technology of quantum cellular automata. The created nanoadder uses only 231 quantum cells on a crystal with an area of $0,49\,\mu\text{m}^2$. Logical operation delays and switching energy density of the cells themselves are significantly reduced compared to existing prototypes. The automated design system QCADdesigner version 2.0.3 synthesizes nanocircuits of full adders and models time diagrams of their performance. The energy of synchronous signals and consumption does not exceed $3,8\times10^{-22}$ J. The results of simulation of single-electron nanoadders confirmed their advantages over the schemes of other developers in all operational parameters and characteristics and stimulate their further development for greater bit rate and number of majority functions.

Key words: cellular automata with quantum dots; majoritarian logic, full adder; automated design systems, modeling of time charts, synchronization energy.

Вступ та актуальність досліджень. Комп'ютерні обчислення продовжують відігравати важливу роль в *інформаційних* та *комунікаційних системах*, зокрема, в таких, як *арифметично-логічні пристрої (АЛП)* та кодування. У складі таких пристроїв *повні суматори* залишаються найбільш розповсюдженими компонентами. Тому подальше впровадження *систем комп'ютерного проектування*, в першу чергу, визначається ефективністю реалізації повних наносуматорів [1 – 3].

Технологія коміркових автоматів з квантовими точками (КА) є перспективним напрямком *одноелектронної технології*, яка може продовжити розвиток *закону Мура* [3]. Ця технологія використовує формування заряду для передачі інформації замість струму. Як наслідок, схемотехніка в технології КА має переваги порівняно зі звичайними технологіями, такими як *комплементарні транзистори* з структурою *метал-окисел-напівпровідник (КМОН)*, з точки зору малих розмірів, швидкодії та наднизького енергоспоживання [4], [5].

В роботах попередніх років [6 – 15] отримані деякі результати автоматизованого проектування одноелектронних наносуматорів на базі КА. У статті [6] представлено повний суматор КА, який потребує 102 комірок КА та площі $0,1\,\text{мкм}^2$. Вчені [7] розробили повний суматор КА, який складається з 52 комірок КА і площею $0,038\,\text{мкм}^2$. Автори [8] розробили повний суматор КА, який вимагає 59 комірок КА і площу $0,043\,\text{мкм}^2$. У статті [9] запропоновано повний суматор КА, який потребує 71 комірки та площі $0,06\,\text{мкм}^2$. Автори [10] представили повний суматор КА, для якого потрібно 38 комірок КА і площа $0,02\,\text{мкм}^2$. Вчені [11] сконструювали повний суматор КА, який складається з 41 комірок КА і площею $0,04\,\text{мкм}^2$. У статті [12] представлено повний суматор КА, який вимагає 63 комірок КА і площі $0,05\,\text{мкм}^2$. Вчені [13] розробили повний суматор КА, який потребує 29 клітин КА і площу $0,02\,\text{мкм}^2$. Проте ці схеми повного суматора мають незначні переваги, але суттєву складність і велику площу кристала повного суматора в технології КА, що дозволяє зменшити нова методика, запропонована в цій статті.

© О. С. Мельник, В. О. Козаревич, 2024

Передумови розвитку квантових автоматів. Технологія коміркових автоматів із квантовими точками є новою технологією, яку можна використовувати для розробки *цифрових схем* на основі закону Мура. Ця нова технологія використовує формування заряду замість струму для передачі інформації. Основним елементом у цій технології є квадрат із чотирма крапками, який містить два вільних електрони. На рис. 1 показана базова комірка КА, два способи її розміщення в просторі та поляризація електронів [6].

Логічні мажоритарний елемент та інвертор. Розташувавши комірки послідовно одну за одною і змусивши їх взаємодіяти одна з одною, можна забезпечити потік інформації по такому провіднику. Теоретично існують два способи побудови провідника в залежності від орієнтації комірок під кутом 45° або 90° (рис. 1), але технологічно важко формувати *нанокомірки* з різними орієнтаціями. За допомогою КА можна створювати різні елементи для виконання *логічних* і *арифметичних операцій*. Основними логічними нанокомпонентами в *теорії клітинних автоматів* є *мажоритарний елемент (МЕ)* та *інвертор* (рис. 2).

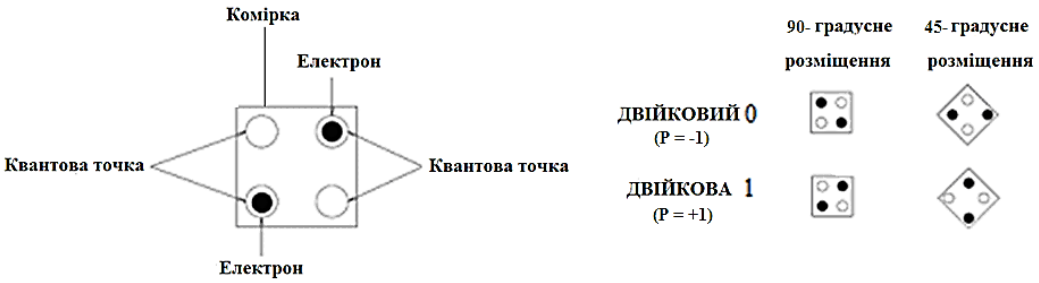
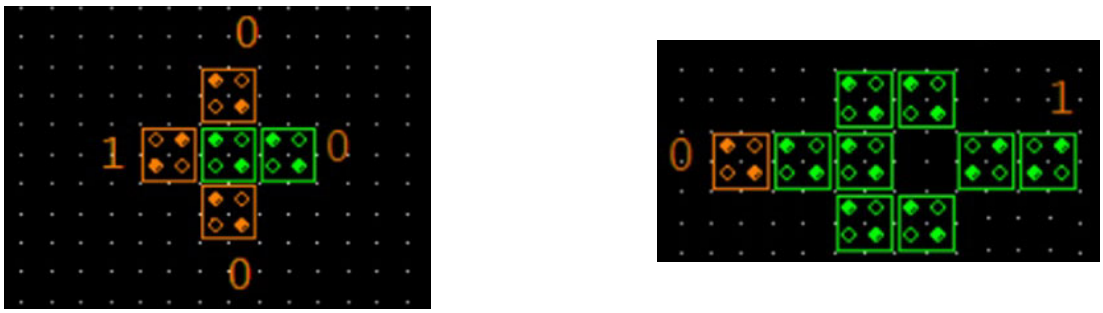


Рис. 1 – Базова комірка КА, два способи її розміщення в просторі та поляризація електронів.



а *б*

Рис. 2 – Тривходовий мажоритарний елемент – *а* та інвертор – *б* на основі клітинних автоматів.

Поляризація вихідної комірки МЕ збігається з поляризаціями більшості вхідних комірок.

Логічний вираз для мажоритарної функції (вибору більшості) має вигляд:

$$\mathrm{maj}(x_2, x_1, x_0) = x_2x_1 \vee x_2x_0 \vee x_1x_0 ,$$

де x_2, x_1 і x_0 – вхідні аргументи. Фіксація поляризації одного з входів МЕ дозволяє отримати функції логічних елементів *булевої алгебри* І чи АБО:

$$\mathrm{maj}(x_2, x_1, 0) = x_2 \cdot x_1, \quad \mathrm{maj}(x_2, x_1, 1) = x_2 \vee x_1 .$$

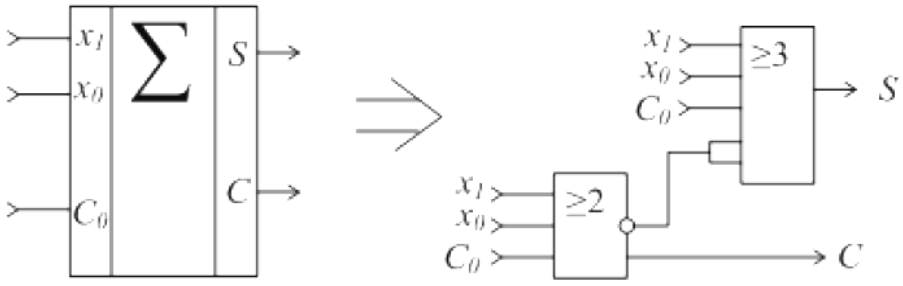


Рис. 3 – Схема однорозрядного суматора на основі п’ятивходового МЕ.

Такі комірки можуть бути створені в процесі промислового виготовлення, що усуває необхідність підтримувати постійний струм через схему.

Новий наносуматор з п'ятивходовим МЕ. При використанні п'ятивходових МЕ існує унікальна можливість синтезувати найбільш ефективну і найпростішу наносхему повного однорозрядного суматора [7], структурна схема якого приведена на рис. 3.

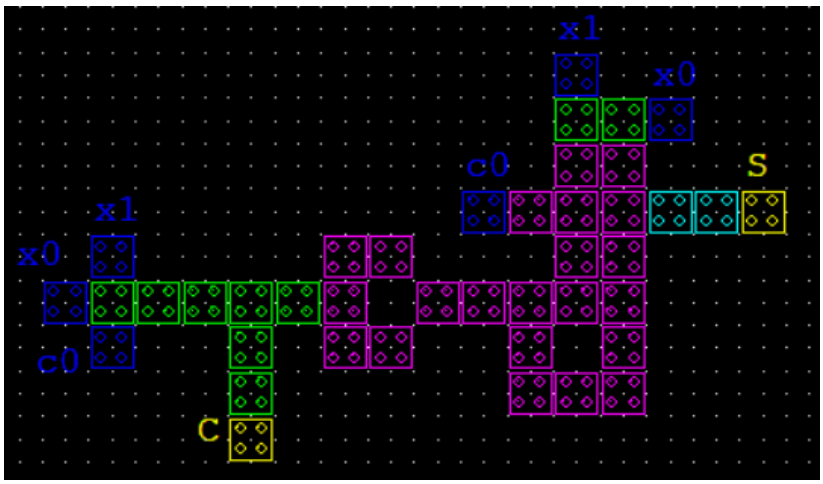
Результати комп'ютерного проектування та моделювання часових діаграм за допомогою системи автоматизованого проектування QCADesigner [14] наведено на рис. 4.

Результати реалізації розробленої схеми для однорозрядного повного суматора КА підтверджують коректність цієї схеми.

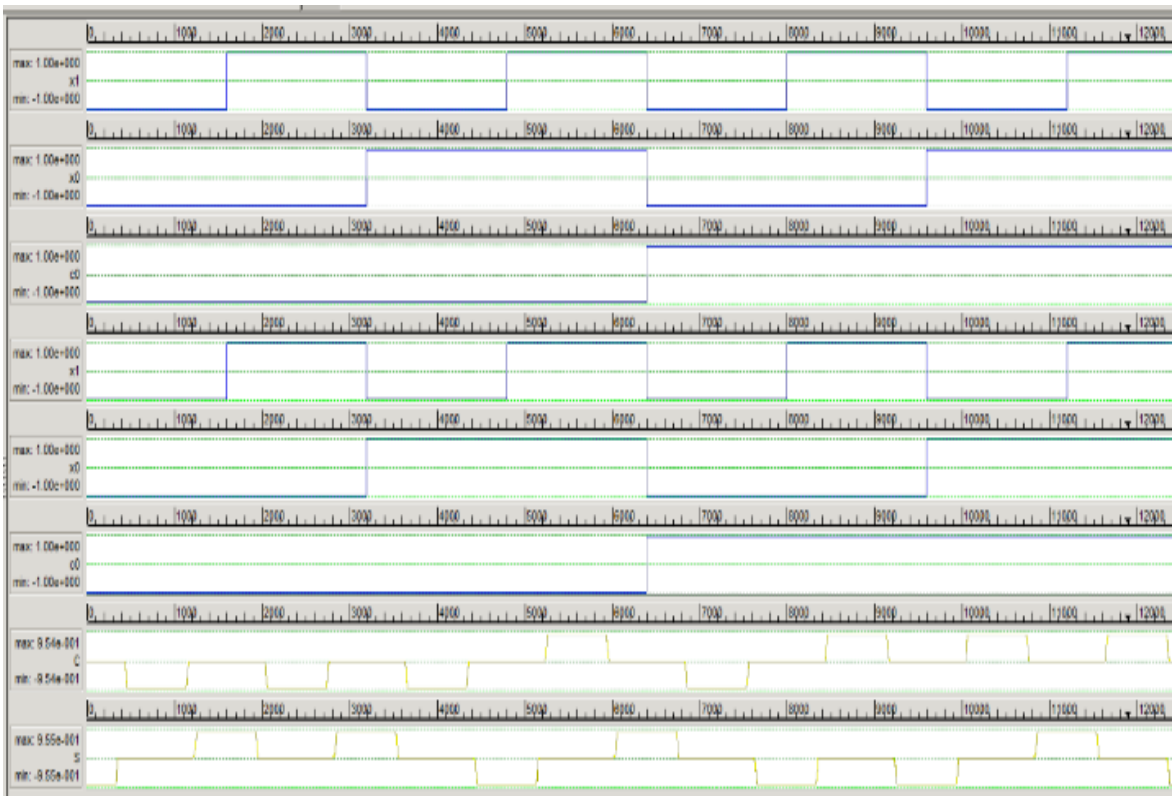
Функції додавання S і переносу C на цих діаграмах визначаються правилами мажоритарного арифметичного додавання:

$$S = \mathrm{maj}\left(x_1, x_0, C_0, \overline{C}\right) = \overline{C}\left(x_1 \vee x_0 \vee C_0\right) \vee x_1 x_0 C_0,$$

$$C = \mathrm{maj}\left(x_1, x_0, C_0\right) = x_1 \vee x_0 \vee x_1 C_0 \vee x_0 C_0.$$



а



б

Рис. 4 – Проект повного однорозрядного суматора на п'ятивходовому МЕ – *а* та моделювання його часових діаграм – *б*.

Розроблена наносхема повного суматора базується на 41 КА, а її загальний розмір становить (288×162)нм .

У цій схемі використовуються три зони синхронізації: світло-блакитний колір вказує на синхрозону *2*, фіолетовий вказує на синхрозону *1*, а зелений вказує на синхрозону *0*.

Табл. 1 підсумовує результати реалізації розробленої схеми для однорозрядного повного суматора КА порівняно з іншими однорозрядними схемами повного суматора КА в [8] – [16].

Таблиця 1 – Порівняння параметрів існуючих та запропонованої наносхем однорозрядного суматора

Література	**Кількість КА**	**Площа**, мкм^2	**Кількість синхрозон**
[8]	102	0.1	8
[9]	71	0.06	5
[10]	52	0.038	4
[11]	59	0.042	4
[12]	38	0.02	3
[13]	41	0.04	2
[14]	63	0.05	3
[15]	29	0.02	2
[16]	46	0.04	4
Пропозиція статті	41	0.07	4

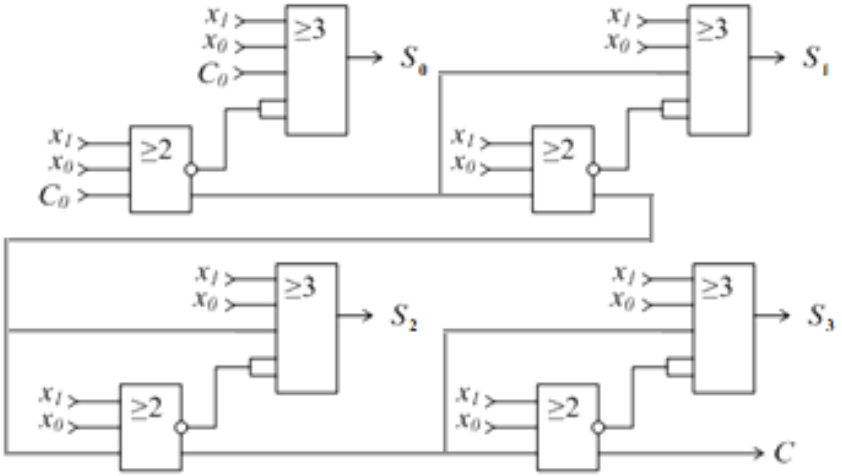


Рис. 5 – Схема чотирирозрядного суматора на основі повних однорозрядних суматорів.

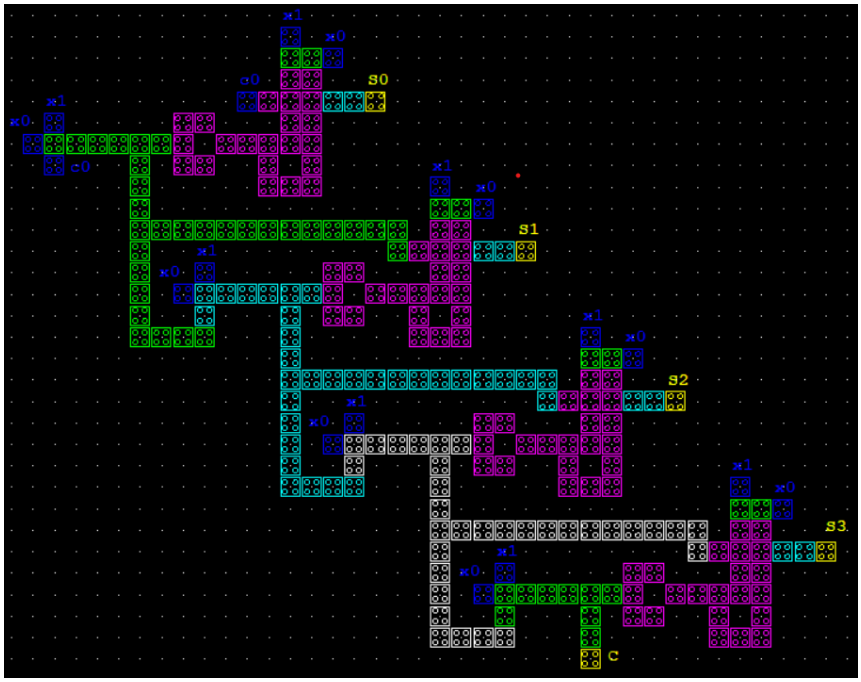


Рис. 7 – Автоматизоване проектування повного чотирирозрядного наносуматора.

Чотирирозрядний повний наносуматор. На основі однорозрядного повного суматора побудовано чотирирозрядний суматор, структурна схема якого представлена на рис. 5.

На рис. 7 – 8 показані результати комп'ютерного проектування чотирирозрядного наносуматора на базі запропонованих однорозрядних наносхем.

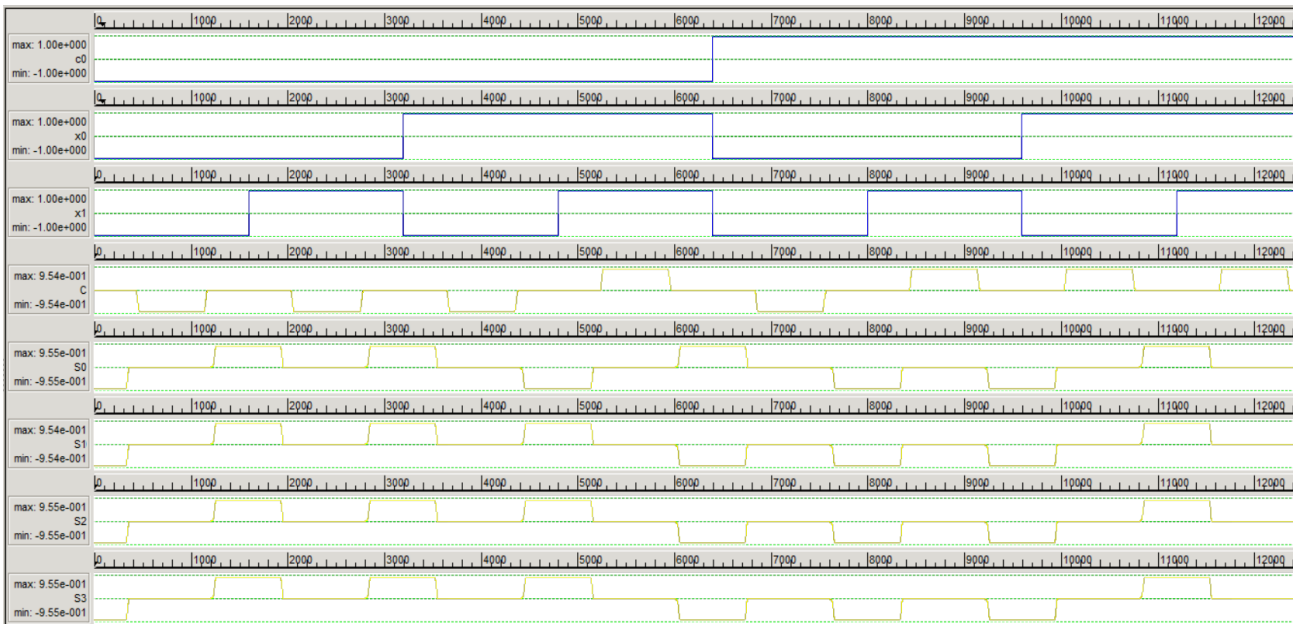


Рис. 8 – Моделювання часових діаграм повного чотирирозрядного наносуматора.

Часові діаграми чотирирозрядного суматора (рис. 8) підтверджують повну працездатність наносхеми. Наприклад, для двох доданків $x_1 = 0101$ та $x_0 = 0110$ сума складає $S = 1011$, а перенос до старшого розряду $C = 0100$.

Табл. 2 підсумовує результати проектування розробленої схеми для чотирирозрядного КА суматора порівняно з іншими наносхемами в [8] – [12], [14] – [17].

Таблиця 2 – Порівняльні параметри розробленого та існуючих чотирирозрядних наносуматорів

Література	**Кількість КА**	**Площа**, мкм^2	**Кількість синхрозон**
[8]	558	0.85	20
[11]	442	1	8
[9]	260	0.28	10
[10]	262	0.208	28
[12]	237	0.24	6
[14]	295	0.3	6
[15]	269	0.37	14
[17]	339	0.2542	7
[16]	187	0.2	16
Пропозиція статті	231	0.49	15

Висновки. Повні наносуматори є важливими складовими комп'ютерних арифметико-логічних пристроїв. Автоматизоване проектування таких схем, як видно з інформаційного огляду, на сьогоднішній день є складною, проте актуальною проблемою. У цій статті за допомогою сучасної системи автоматизованого проектування QCADesigner розроблені одно- та чотирирозрядні одноелектронні наносуматори з мінімально можливими розмірами і підвищеною швидкодією в порівнянні з існуючими сучасними аналогами. Вперше запроваджені склад-

ні п’ятивходові мажоритарні елементи з мінімальними розмірами, що дозволило суттєво скоротити ресурси проектування високорозрядних наносуматорів. За результатами моделювання встановлено, що чотирирозрядний суматор з мажоритарною логікою функціонування є найбільш працездатним і перспективним базовим елементом комп’ютерної наноелектроніки.

Список літератури

1. *Balasubramanian P.* A latency optimized biased implementation style weak-indication self-timed full adder // Facta Universitatis. Series: Electronics and Energetics. – 2015. – vol. 28. – pp. 657 – 671. DOI: 10.2298/FUEE1504657B.
2. *Rezai A.*, *Keshavarzi P.* High-performance scalable architecture for modular multiplication using a new digit-serial computation // Micro. J. – 2016. – vol. 55. – pp. 169 – 178. DOI: 10.1016/j.mejo.2016.07.012.
3. *Rezai A.*, *Keshavarzi P.* High-throughput modular multiplication and exponentiation algorithm using multibit-scan-multibit-shift technique // IEEE Trans. VLSI syst. – 2015. – vol. 23. – pp. 1710 – 1719. DOI: 10.1109/TVLSI.2014.2355854.
4. *Balali M.*, *Rezai A.*, *Balali H.*, *Rabiei F.*, *Emadi S.* A novel design of 5-input majority gate in quantum-dot cellular utomata technology // In Proceedings of the IEEE Symp. Comput. Appl. Indust. Electr. (ISCAIE 2017). – 2017. – pp. 13 – 16. DOI: 10.1109/ISCAIE.2017. 8074941.
5. *Rashidi H.*, *Rezai A.*, *Soltani S.* High-performance multiplexer circuit for quantum-dot cellular automata // J. Comput. Electr. – 2016. – vol. 15. – pp. 968 – 98. DOI: 10.1007/s10825-016-0832-3.
6. All-Ukrainian interdepartmental scientific and technical collection. – Режим доступу : Resource access mode: https://www.ewdtest.com/asu/wp-content/uploads/2015/05/asu_166_2014_new1.pdf (date of application 10.01.2023 p) [in Ukrainian]. – Дата звертання : 2 січня 2024 р.
7. *Pakulov N. N.* The majority principle of constructing reliable components and devices of a digital computer. – Moscow : Sov. radio, 1974. [in Russian]. – 157 p.
8. *Hänninen I.*, *Takala J.* Binary adders on quantum-dot cellular automata // J. Sign. Process. Syst. – 2010. – vol. 58. – pp. 87 – 103. DOI: 10.1007/s11265-008-0284-5.
9. *Ramesh B.*, *Rani M. A.* Design of binary to BCD code converter using area optimized quantum- dot cellular automata full Adder // Int. J. Eng. – 2015. – vol. 9. – pp. 49 – 64.
10. *Abedi D.*, *Jaberipur G.*, *Sangsefidi M.* Coplanar full adder in quantum-dot cellular automata via clock-zone-based crossover // IEEE Trans. Nanotech. – 2015. – vol. 14. – pp. 497 – 504. DOI: 10.1109/TNANO.2015.2409117.
11. *Hashemi S.*, *Navia K.* A Novel Robust QCA Full-adder // Proc. Mater. Sci. – 2015. – vol. 11. – pp. 376 – 380. DOI: 10.1016/j.mspro.2015.11.133.
12. *Mohammadi M.*, *Mohammadi M.*, Gorgin S. An efficient design of full adder in quantum-dot cellular automata (QCA) technology // Microelectr. J. – 2016. – vol. 50. – pp. 35 – 43. DOI: 10.1016/j.mejo.2016.02.004.
13. *Ahmad F.*, *Bhat G. M.*, *Khademolhosseini H.*, *Azimi S.*, *Angizi S.*, *Navi K.* Towards single layer quantum-dot cellular automata adders based on explicit interaction of cells // J. Comput. Sci. – 2016. – vol. 16. – pp. 8 – 15. DOI: 10.1016/j.jocs.2016.02.005.
14. *Labrado C.*, *Thapliyal H.* Design of adder and subtractor circuits in majority logic-based field- coupled QCA nano computing // Electron. Lett. – 2016. – vol. 52. – pp. 464 – 466. DOI: 10.1049/el.2015.3834.
15. *Balali M.*, *Rezai A.*, *Balali H.*, *Rabiei F.*, *Emadid S.* Towards coplanar quantum-dot cellular automata adders based on efficient three-input XOR gate // Result. Phys. – 2017. – vol. 7. – pp. 1389 – 1395. DOI: 10.1016/j.rinp.2017.04.005.
16. Design of novel efficient full adder circuit for quantum-dot cellular automata technology. – Режим доступу : Resource access mode: http://www.doiserbia.nb.rs/img/doi/0353-3670/2018/0353-36701802279M.pdf (date of application 05.01.2023 p) – Дата звертання : 2 січня 2024 р.
17. *Pudi V.*, *Sridharan K.* Low complexity design of ripple carry and Brent-Kung adders in QCA // IEEE Trans. Nanotech. – 2012. – vol. 11. – pp. 105 – 119. DOI: 10.1109/TNANO.2011.2158006.

References (transliterated)

1. Balasubramanian P. A latency optimized biased implementation style weak-indication self-timed full adder. *Facta Universitatis. Series: Electronics and Energetics*. 2015, vol. 28, pp. 657–671. DOI: 10.2298/FUEE1504657B.
2. Rezai A., Keshavarzi P. High-performance scalable architecture for modular multiplication using a new digit-serial computation. *Micro. J.* 2016, vol. 55, pp. 169 – 178. DOI: 10.1016/j.mejo.2016.07.012.
3. Rezai A., Keshavarzi P. High-throughput modular multiplication and exponentiation algorithm using multibit-scan-multibit-shift technique. *IEEE Trans. VLSI syst*. 2015, vol. 23, pp. 1710–1719. DOI: 10.1109/TVLSI.2014.2355854.
4. Balali M., Rezai A., Balali H., Rabiei F., Emadi S. A novel design of 5-input majority gate in quantum-dot cellular utomata technology. *In Proceedings of the IEEE Symp. Comput. Appl. Indust. Electr. (ISCAIE 2017)*. 2017. pp. 13–16. DOI: 10.1109/ISCAIE.2017. 8074941.
5. Rashidi H., Rezai A., Soltani S. High-performance multiplexer circuit for quantum-dot cellular automata. *J. Comput. Electr*. 2016, vol. 15, pp. 968–98. DOI: 10.1007/s10825-016-0832-3.
6. *All-Ukrainian interdepartmental scientific and technical collection*. Available at : Resource access mode: https://www.ewdtest.com/asu/wp-content/uploads/2015/05/asu_166_2014_new1.pdf (date of application 10.01.2023 p) [in Ukrainian]. (accessed 2 January 2024).
7. Pakulov N. N. *The majority principle of constructing reliable components and devices of a digital computer*. Moscow, Sov. Radio Publ., 1974. [in Russian]. 157 p.
8. Hänninen I., Takala J. Binary adders on quantum-dot cellular automata. *J. Sign. Process. Syst*. 2010, vol. 58, pp. 87–103. DOI: 10. 1007/s11265-008-0284-5.
9. Ramesh B., Rani M. A. Design of binary to BCD code converter using area optimized quantum- dot cellular automata full Adder. *Int. J. Eng*. 2015, vol. 9, pp. 49–64.
10. Abedi D., Jaberipur G., Sangsefidi M. Coplanar full adder in quantum-dot cellular automata via clock-zone-based crossover. *IEEE Trans. Nanotech*. 2015, vol. 14, pp. 497–504. DOI: 10.1109/TNANO.2015.2409117.
11. Hashemi S., Navia K. A Novel Robust QCA Full-adder. *Proc. Mater. Sci*. 2015, vol. 11, pp. 376–380. DOI: 10.1016/j.mspro. 2015.11.133.

12. Mohammadi M., Mohammadi M., Gorgin S. An efficient design of full adder in quantum-dot cellular automata (QCA) technology. *Microelectr. J*. 2016, vol. 50, pp. 35–43. DOI: 10.1016/j.mejo.2016.02.004.
13. Ahmad F., Bhat G. M., Khademolhosseini H., Azimi S., Angizi S., Navi K. Towards single layer quantum-dot cellular automata adders based on explicit interaction of cells. *J. Comput. Sci*. 2016, vol. 16, pp. 8–15. DOI: 10.1016/j.jocs.2016.02.005.
14. Labrado C., Thapliyal H. Design of adder and subtractor circuits in majority logic-based field- coupled QCA nano computing. *Electron. Lett*. 2016, vol. 52, pp. 464–466. DOI: 10.1049/el.2015.3834.
15. Balali M., Rezai A., Balali H., Rabiei F., Emadid S. Towards coplanar quantum-dot cellular automata adders based on efficient three-input XOR gate. *Result. Phys*. 2017, vol. 7, pp. 1389–1395. DOI: 10.1016/j.rinp.2017.04.005.
16. *Design of novel efficient full adder circuit for quantum-dot cellular automata technology*. Available at : Resource access mode: http://www.doiserbia.nb.rs/img/doi/0353-3670/2018/0353-36701802279M.pdf (date of application 05.01.2023 p) (accessed 2 January 2024).
17. Pudi V., Sridharan K. Low complexity design of ripple carry and Brent-Kung adders in QCA. *IEEE Trans. Nanotech*. 2012, vol. 11, pp. 105–119. DOI: 10.1109/TNANO.2011.2158006.

Надійшла (received) 11.01.2024

Відомості про авторів / Information about authors

Мельник Олександр Степанович – кандидат технічних наук, доцент, доцент кафедри електроніки, робототехніки і технологій моніторингу та інтернету речей, Національний авіаційний університет, м. Київ; тел.: (067) 213-03-08; e-mail: oleksandr.melnyk@npp.nau.edu.ua.

Melnyk Oleksandr Stepanovych – Candidate of Technical Sciences, Associate Professor, Associate Professor at the Department of Electronics, Robotics and Monitoring of Technologies and Internet of Things, National Aviation University, Kyiv; tel.: (067) 213-03-08; e-mail: oleksandr.melnyk@npp.nau.edu.ua.

Козаревич Вікторія Олександрівна – старший викладач кафедри електроніки, робототехніки і технологій моніторингу та інтернету речей, Національний авіаційний університет, м. Київ; тел.: (063) 310-30-41; e-mail: viktoriia.kozarevych@npp.nau.edu.ua.

Kozarevych Viktoriia Oleksandrivna – Senior Lecturer at the Department of Electronics, Robotics and Monitoring of Technologies and Internet of Things, National Aviation University, Kyiv; tel.: (063) 310-30-41; e-mail: viktoriia.kozarevych@npp.nau.edu.ua.